

⑫ 公開特許公報(A) 平1-248820

⑤ Int. Cl.

H 03 K 3/037
3/356

識別記号

庁内整理番号

B-8425-5J
C-8626-5J

⑬ 公開 平成1年(1989)10月4日

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 フリップフロップ回路

⑰ 特 願 昭63-77432

⑱ 出 願 昭63(1988)3月30日

⑲ 発 明 者 田 中 幸 太 郎 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑲ 発 明 者 四 方 誠 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑲ 発 明 者 秋 山 正 博 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
 ⑲ 代 理 人 弁理士 柿 本 恭 成

明 細 書

1. 発明の名称

フリップフロップ回路

2. 特許請求の範囲

クロック信号によりオン、オフ動作して入力データを入力する第1のトランスファゲートと、前記クロック信号によりオン、オフ動作して前記入力データと逆相の反転入力データを入力する第2のトランスファゲートと、入力端子が前記第1のトランスファゲートの出力側の第1のノードに出力端子が前記第2のトランスファゲートの出力側の第2のノードにそれぞれ接続された第1のインバータと、入力端子が前記第1のインバータの出力端子に出力端子が前記第1のインバータの入力端子にそれぞれ接続された第2のインバータと、前記第1のノードに接続された出力用の第3のインバータと、前記第2のノードに接続された出力用の第4のインバータとを備えたフリップフロップ回路において、

前記第1のインバータの出力端子と前記第2の

インバータの入力端子との間に接続され前記クロック信号と逆相の反転クロック信号によりオン、オフ動作する第1のスイッチと、

前記第2のインバータの出力端子と前記第1のインバータの入力端子との間に接続され前記反転クロック信号によりオン、オフ動作する第2のスイッチとを設けたことを特徴とするフリップフロップ回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体ディジタル集積回路等におけるフリップフロップ回路(以下、FF回路という)に関するものである。

(従来技術)

従来、この種のFF回路としては、昭和62年電子情報通信学会半導体・材料部門全国大会200、四方・田中・秋山著「GaAs DCF L フリップフロップ回路の検討」P. 1-201に記載されるものがあつた。以下、その構成を図を用いて説明する。

第2図は従来のマスター・スレーブ型のFF回路の一構成例を示す回路図である。

このFF回路は、マスター側回路とスレーブ側回路とで構成されている。マスター側回路は、クロック信号CKにより、オン、オフ動作して入力データDを入力するトランスファゲート1と、クロック信号CKによりオン、オフ動作して反転データ \bar{D} を入力するトランスファゲート2とを備え、そのトランスファゲート1、2の出力側ノードN1、N2には、データを一時保持するためにたすき接続された2個のインバータ11、12と、次段のゲート駆動用インバータ13、14とが接続されている。インバータ13、14の出力側ノードN11、N12に接続されたスレーブ側回路は、マスター側回路と同様に、反転クロック信号 \bar{CK} によりオン、オフ動作するトランスファゲート21、22を備え、その出力側ノードN21、22に、データ保持用の2個のインバータ31、32と、出力用インバータ33、34とが接続され、そのインバータ33、34から出力Q及び反

転出力 \bar{Q} が送出される構成になっている。

第3図は、第2図の動作を示すタイムチャートであり、この図を参照しつつ第2図のFF回路の動作を説明する。

先ず、初期状態として、低レベル（以下、“L”という）のクロック信号CK、高レベル（以下、“H”という）の反転クロック信号 \bar{CK} 、“H”の入力データD、及び“L”の反転入力データ \bar{D} が印加され、ノードN1、N2、N11、N12、N21、N22がそれぞれ“L”、“H”、“H”、“L”、“H”、“H”であるとする。

時刻T1で、クロック信号CKが“H”、反転クロック信号 \bar{CK} が“L”になると、トランスファゲート1、2がオンし、時間 t_1 遅れて時刻T2で、ノードN1が入力データDにより“H”、ノードN2が反転入力データ \bar{D} により“L”となる。ここで、ノードN1が“H”になるためには、トランスファゲート1を流れる電流により、インバータ11、13の入力容量を充電する必要がある。

ると共に、インバータ12の吸い込み電流分を供給するため、 t_1 の時間遅れが生じる。またノードN2が“L”になるためには、トランスファゲート2を流れる電流により、インバータ12、14の入力容量を放電する必要があると共に、インバータ11の出力電流を吸い込む必要があるため、 t_1 の時間遅れが生じる。

時刻T2において、ノードN1が“H”となると、ノードN11はインバータ13により、そのインバータ13の遅延時間 t_2 後の時刻T3に“L”となる。ノードN12はノードN2が“L”のため、インバータ14により“H”となる。反転クロック信号 \bar{CK} が“L”であるため、トランスファゲート21、22はオフとなり、ノードN21、N22のレベルはインバータ31、32により、反転クロック信号 \bar{CK} が“L”になる以前の状態を保持する。つまり、ここではノードN21は“H”、ノードN22は“L”の状態にある。

時刻T4においてクロック信号CKが“L”、

反転クロック信号 \bar{CK} が“H”になると、トランスファゲート1、2がオフするため、インバータ11、12によってノードN1、N2のレベルはそれぞれ“H”、“L”を保持する。反転クロック信号 \bar{CK} が“H”のため、トランスファゲート21、23がオンし、ノードN21、N22のレベルは時刻 t_3 後の時刻T5においてそれぞれノードN11、N12のレベル“L”、“H”と同一になる。この際、インバータ31、32、33、34の入力容量及びインバータ31、32の出力電流と、トランスファゲート21、22を流れる電流とにより、時間 t_3 の遅れが生じる。そして出力Q及び反転出力 \bar{Q} は、インバータ33、34の遅延時間 t_4 後の時刻T6でそれぞれ“H”、“L”となる。

以上のように、このFF回路はクロック信号CKが“H”の間に“H”の入力データD及び“L”の反転入力データ \bar{D} を、クロック信号CKが“L”になった時に出力Q及び反転出力 \bar{Q} の形で出力するというフリップフロップ動作をする。

(発明が解決しようとする課題)

しかしながら、上記構成のFF回路では、次のような課題があった。

従来のFF回路の動作速度は、トランスファゲート1, 2がオン状態になってからノードN1, N2のレベルが確定するまでの時間 t_1 とインバータ13の遅延時間 t_2 とにより制限される。つまり動作速度を上げるには、遅延時間 t_1 , t_2 を短くすることが重要である。またトランスファゲート21, 22がオン状態になった後にノードN21, N22のレベルが確定するまでの時間 t_3 、及びインバータ33, 32の遅延時間 t_4 も同様である。ところで、遅延時間 t_1 と t_3 は、インバータの入力容量だけではなく、出力電流によっても決まる。インバータ11, 12, 31, 32の出力電流は、入力容量を充電するための電流に比べると多いため、遅延時間 t_1 , t_3 が長くなり、動作速度の高速化が困難であるという課題があった。

本発明は前記従来技術が持っていた課題として、

号と逆相の反転クロック信号によりオン、オフ動作する第1のスイッチと、前記第2のインバータの出力端子と前記第1のインバータの入力端子との間に接続され前記反転クロック信号によりオン、オフ動作する第2のスイッチとを設けたものである。

(作 用)

本発明によれば、以上のようにFF回路を構成したので、第1, 第2のスイッチは、第1及び第2のトランスファゲートの入力データ及び反転入力データの取り込み時にオフ状態となって、第1, 第2のノードと第2, 第1のインバータの出力端子とを切離し、第1, 第2のノードの充放電量を減少して第1, 第2のトランスファゲートにおけるデータ転送時間を短縮するように働く。これにより高速動作が可能となる。従って前記課題を解決できるのである。

(実施例)

第1図は本発明の実施例を示すマスター・スレーブ型のFF回路の回路図である。

インバータの出力を反転させる時の遅延時間の増大により動作速度の高速化が困難であるという点について解決したFF回路を提供するものである。
(課題を解決するための手段)

本発明は前記課題を解決するために、クロック信号によりオン、オフ動作して入力データを入力する第1のトランスファゲートと、前記クロック信号によりオン、オフ動作して前記入力データと逆相の反転入力データを入力する第2のトランスファゲートと、入力端子が前記第1のトランスファゲートの出力側の第1のノードに出力端子が前記第2のトランスファゲートの出力側の第2のノードにそれぞれ接続された第1のインバータと、入力端子が前記第1のインバータの入力端子にそれぞれ接続された第2のインバータと、前記第1のノードに接続された出力用の第3のインバータと、前記第2のノードに接続された出力用の第4のインバータとを備えたFF回路において、前記第1のインバータの出力端子と前記第2のインバータの入力端子との間に接続され前記クロック信

このFF回路は、従来と同様にマスター側回路とスレーブ側回路とで構成されている。マスター側回路は、クロック信号CKによりオン、オフ動作して入力データDを入力する電界効果トランジスタ(以下、FETという)からなる第1のトランスファゲート41と、クロック信号CKによりオン、オフ動作して反転データ \bar{D} を入力するFETからなる第2のトランスファゲート42とを備えている。第1のトランスファゲート41の出力側の第1のノードN41には、第1, 第3のインバータ51, 53の各入力端子が接続されると共に、第2のトランスファゲート42の出力側の第2のノードN42には、第2, 第4のインバータ52, 54の各入力端子が接続されている。第1のインバータ51の出力側は、反転クロック信号 \bar{CK} によりオン、オフ動作するFETからなる第1のスイッチ61を介して第2のインバータ52の入力端子に接続され、そのインバータ52の出力端子が、反転クロック信号 \bar{CK} によりオン、オフ動作する第2のスイッチ62を介して第1のインバー

タ51の入力端子に接続されている。たすき接続された第1、第2のインバータ51、52及び第1、第2のスイッチ61、62は、データを一時保持する機能を有している。第3、第4のインバータ53、54は、次段のゲートを駆動するためのもので、その出力側ノードN51、N52にはスレーブ側回路が接続されている。

スレーブ側回路は、マスター側回路と同様に、反転クロック信号 \overline{CK} によりオン、オフ動作するFETからなる第1、第2のトランスファゲート71、72を備え、その出力側の第1、第2のノードN61、N62には、データを保持するためにたすき接続された第1、第2のインバータ81、82及び第1、第2のスイッチ91、92と、出力用の第3、第4のインバータ83、84とが接続され、そのインバータ83、84から出力Q及び反転出力 \overline{Q} が出力される構成になっている。第1、第2のスイッチ91、92はクロック信号CKによりオン、オフ動作するFETより構成されている。

N42に接続され、インバータ52の出力端子はスイッチ62を介してノードN41に接続されるため、ノードN41の“L”とノードN42の“H”はこの状態で保持される。さらに、ノードN51、N52、N61、N62、出力Q、及び反転出力 \overline{Q} は、それぞれ“H”、“L”、“H”、“L”、“L”、“H”となる。

時刻T1においてクロック信号CKが“H”、反転クロック信号 \overline{CK} が“L”になると、トランスファゲート41、42及びスイッチ91、92がオン、スイッチ61、62及びトランスファゲート71、72がオフする。これにより、“H”の入力データDがトランスファゲート41を介してノードN41に伝わり、また“L”の反転入力データがトランスファゲート42を介してノードN42に伝わる。この時の伝達に要する時間は、例えばノードN41に伝わる場合を見ると、トランスファゲート41を流れる電流により、インバータ51、53の入力容量を充電すると共に、インバータ52の出力電流をスイッチ62を介して

第4図は、第1図の動作を示すタイムチャートであり、この図を参照しつつ第1図のFF回路の動作を説明する。

第1図のFF回路の基本的動作は、従来の第2図のFF回路と同一であるが、スイッチ61、62、91、92を設けたことにより、第3図の時間 t_1 、 t_3 に相当する第4図の時間 t_{11} 、 t_{13} が従来回路よりも短くなり、FF回路の動作速度が向上する点が相違している。以下、その動作を説明する。

先ず、初期状態として、“L”のクロック信号CK、“H”の反転クロック信号 \overline{CK} 、“H”の入力データD、及び“L”の反転入力データ \overline{D} が印加され、またノードN41、N42がそれぞれ“L”、“H”であるとする。この時、クロック信号CK及び反転クロック信号 \overline{CK} により、スイッチ61、62及びトランスファゲート71、72がオン、トランスファゲート41、42及びスイッチ91、92がオフとなり、インバータ51の出力端子はスイッチ61を介してノード

吸い込む時間で決まる。ところで、この回路の構成では、スイッチ62がこの時オフ状態となっている。つまり、トランスファゲート41を流れる電流は全てインバータ51、53の入力容量を充電するためだけに使われ、そのために高速に充電が行われ、従来の遅延時間 t_1 よりも短い遅延時間 t_{11} 後の時刻T2でノードN41が“H”となる。ノードN42側も同様に、スイッチ61がオフ状態であるので、トランスファゲート42を流れる電流はインバータ52、54の入力容量を放電するためだけに使われるため、ノードN42のレベルが高速に“L”となる。

なお、時刻T1においてトランスファゲート71、72がオフ、スイッチ91、92がオンするため、時刻T1前のノードN61、N62の“H”、“L”はインバータ81、82及びスイッチ91、92で保持される。即ち、ノードN61の“H”はインバータ81の出力を“L”、つまりノードN61を“L”にしようとし、ノードN61の“L”はインバータ82の出力を

“H”、つまりノードN61を“H”にしようとするため、この状態は安定状態となる。

時刻T2においてノードN41が“H”、ノードN42が“L”になると、インバータ53、54による遅延時間 t_2 後の時刻T3で、ノードN51が“L”、ノードN52が“H”になる。

時刻T4でクロック信号CKが“L”、反転クロック信号 \overline{CK} が“H”になると、トランスファゲート41、42及びスイッチ91、92がオフ、スイッチ61、62及びトランスファゲート71、72がオンする。トランスファゲート41、42のオフ、及びスイッチ61、62のオンにより、ノードN41の“H”、ノードN42の“L”はこの状態で安定に保持される。さらに、トランスファゲート71、72のオン及びスイッチ91、92のオフにより、ノードN61、N62はそれぞれノードN51、N52の“L”、“H”と同レベルになろうとする。この時、ノードN61、N62がそれぞれ“L”、“H”になるに要する時間 t_{13} は、トランスファゲート71、72を

流れる電流が、それぞれインバータ81、83および82、84の入力容量を充放電する時間で決まる。スイッチ91、92がオフ状態のため、従来のようにインバータ81、82の出力電流を吸い込む必要がないため、従来の遅延時間 t_3 よりも短い時間 t_{13} 後の時刻T5で、ノードN61、N62がそれぞれ高速に“L”、“H”となる。そしてインバータ83、84の遅延時間 t_4 後の時刻T6で、出力Qが“H”、及び反転出力 \overline{Q} が“L”となる。

以上のように本実施例ではスイッチ61、62、91、92を設けたので、トランスファゲート41、42、71、72における転送時間 t_{11} 、 t_{13} が従来の時間 t_1 、 t_3 よりも短くなり、FF回路の動作速度が速くなる。

なお、本発明は図示の実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(a) 第1図のマスター側回路のみで構成されるFF回路についても、本発明を適用できる。

(b) トランスファゲート41、42、71、72及びスイッチ61、62、91、92は、FET以外のトランジスタで構成してもよい。

(発明の効果)

以上詳細に説明したように、本発明によれば、データ保持用の第1と第2のインバータの出力端子側に第1と第2のスイッチを接続したので、第1および第2のトランスファゲートの入力データ及び反転入力データの取り込み時において第1、第2のスイッチがオフ状態となって第1、第2のノードが第2、第1のインバータ出力端子と切離され、それによって第1、第2のトランスファゲートにおける転送時間が短くなり、FF回路の動作速度速くなる。

4. 図面の簡単な説明

第1図は本発明の実施例を示すFF回路の回路図、第2図は従来のFF回路の回路図、第3図は第2図のタイムチャート、第4図は第1図のタイムチャートである。

41、71……第1のトランスファゲート、

42、72……第2のトランスファゲート、51、81……第1のインバータ、52、82……第2のインバータ、53、83……第3のインバータ、54、84……第4のインバータ、61、91……第1のスイッチ、62、92……第2のスイッチ、CK……クロック信号、 \overline{CK} ……反転クロック信号、D……入力データ、 \overline{D} ……反転入力データ、Q……出力、 \overline{Q} ……反転出力。

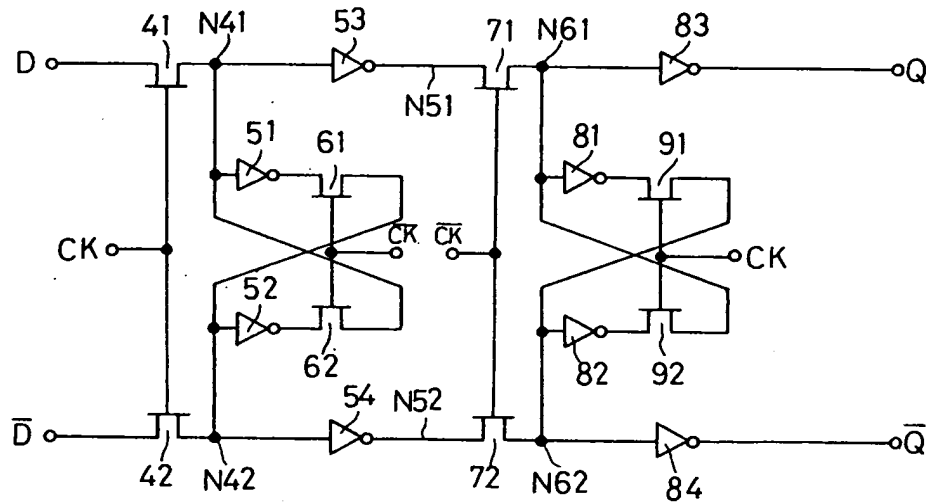
出願人代理人 柿 本 恭 成

41・71, 42・72: 第1, 第2のトランスファゲート

51・81, 52・82, 53・83, 54・84: 第1, 第2, 第3, 第4のインバータ

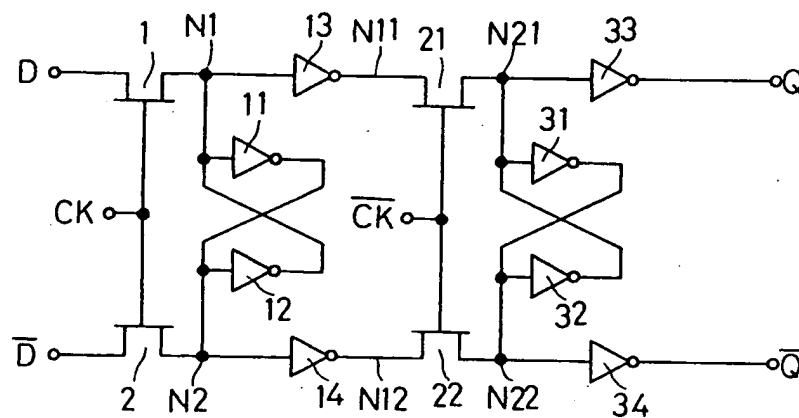
61・91, 62・92: 第1, 第2のスイッチ

N41・N61, N42・N62: 第1, 第2のノード



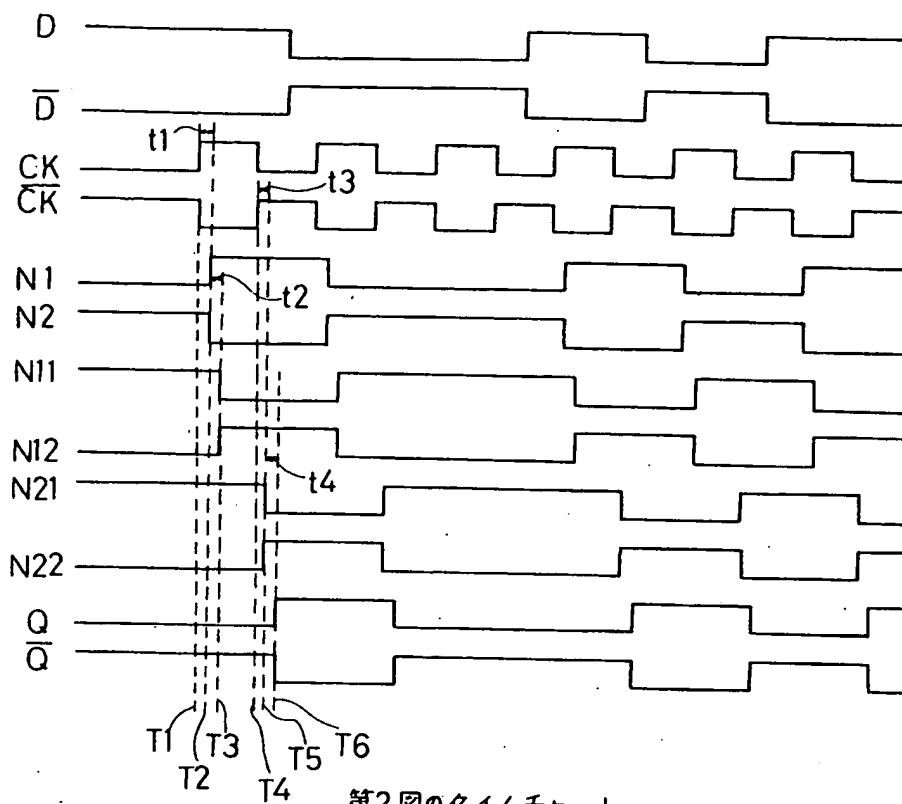
本発明のFF回路

第1図



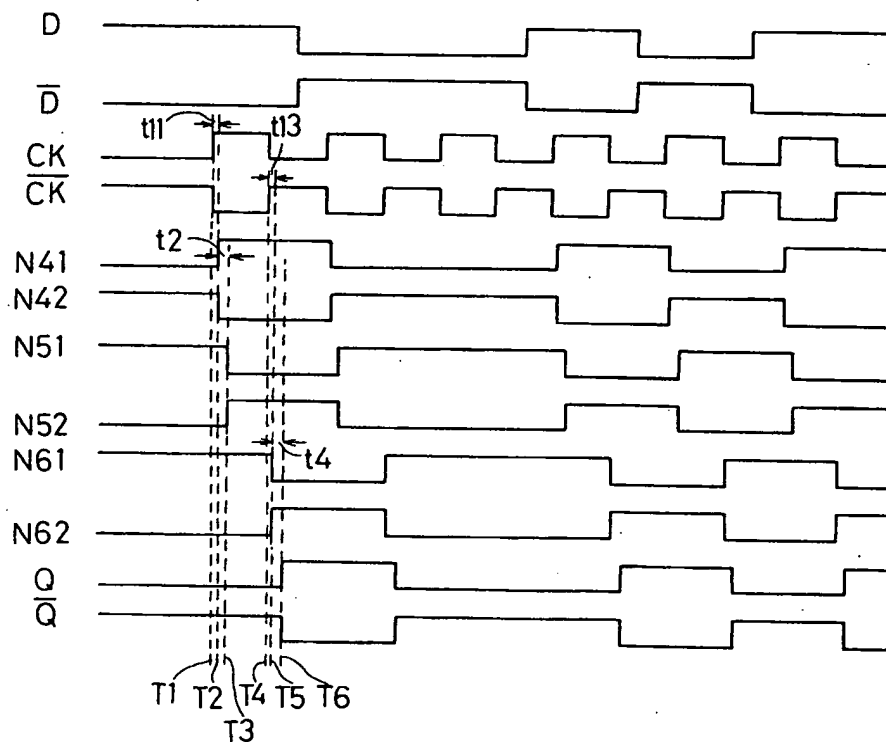
従来のFF回路

第2図



第2図のタイムチャート

第3図



第1図のタイムチャート

第4図